

S-29-01

In re application of:

Jun Young Yang

Application No.

09/687,493

Filed:

October 13, 2000

For:

SEMICONDUCTOR PACKAGE HAVING IMPROVED  
ADHESIVENESS AND GROUND BONDING

Group No.

2811

Examiner:

(Not Yet Known)



CERTIFICATE OF MAILING BY EXPRESS MAIL  
EXPRESS MAIL LABEL NO.: EL 058 666 101 US

Date of Deposit: February 20, 2001

I hereby certify that this document, including the documents referred to therein, is being deposited with the United States Postal Service as "Express Mail Post Office to Addressee" service under 37 C.F.R. § 1.10 on the date indicated above and is addressed to:

BOX MISSING PARTS  
Commissioner of Patents and Trademarks,  
Washington, D.C. 20231

Signature: Sara J. Morrison

A handwritten signature in black ink that reads "Sara J. Morrison".

BOX MISSING PARTS  
Assistant Commissioner for Patents  
Washington, D.C. 20231

**CLAIM OF PRIORITY UNDER 35 U.S.C. § 119**

Under the provisions of 35 U.S.C. 119 Applicant hereby claims the priority of Korean patent application No. 1999-44653, filed on October 15, 1999, which is identified in the declaration of the

above-identified application. A certified copy of the priority document is filed herewith.

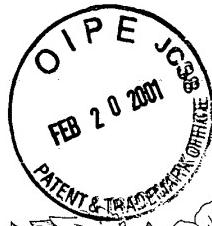
Respectfully submitted,

*Robert W. Mason*

Robert W. Mason  
Reg. No.: 42,848

Submitted: February 20, 2001

JENKENS & GILCHRIST, P.C.  
1445 Ross Avenue, Suite 3200  
Dallas, Texas 75202  
Telephone: 214-855-4196  
Facsimile: 214-855-4300



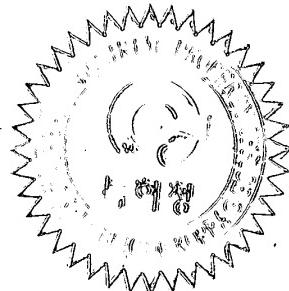
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 1999년 제 44653 호  
Application Number

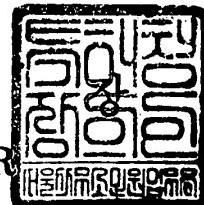
출원년월일 : 1999년 10월 15일  
Date of Application

출원인 : 앰코 테크놀로지 코리아 주식회사  
Applicant(s)



2000 년 08 월 28 일

특허청  
COMMISSIONER



【서류명】 출원인명의변경신고서  
【수신처】 특허청장  
【제출일자】 2000.05.02  
【구명의인】  
    【명칭】 아남반도체 주식회사  
    【출원인코드】 119980026719  
【신명의인】  
    【성명】 앰코 테크놀로지 코리아 주식회사  
    【출원인코드】 119990323911  
【대리인】  
    【성명】 주성민  
    【대리인코드】 919980005177  
【대리인】  
    【성명】 장수길  
    【대리인코드】 919980004828  
【사건의 표시】  
    【출원번호】 1019990044653  
    【출원일자】 1999.10.15  
    【발명(고안)의 명칭】 반도체패키지  
【변경원인】 전부양도  
【취지】 특허법 제38조제4항·실용신안법 제20조·의장법 제24조 및 상표법 제12조제1항의 규정에 의하여 위와 같이 신고합니다  
  
【수수료】 13000  
【첨부서류】 양도증(사본은 동일자로 제출되는 특허번호 제10-70556호의 권리의 이전등록신청서에 첨부된 것을 원용함(별첨 목록은 해당부분만 첨부))1통 기타 법령에서 정한 증명서류(양도인의 법인인감증명서-사본은 동일자로 제출되는 특허번호 제10-70556호의 권리의 이전등록신청서에 첨부된 것을 원용함(별첨 목록은 해당부분만 첨부))1통 기타 법령에서 정한 증명서류(위임장-양도인의 권리의 이전등록신청서에 첨부된 것을 원용함(별첨 목록은 해당부분만 첨부))1통 기타 법령에서 정한 증명서류(위임장-양수인의 위임장-사본은 동일자로 제출되는 특허번호 제10-70556호의 권리의 이전등록신청서에 첨부된 것을 원용함(별첨 목록은 해당부분만 첨부))1통



1019990044653

2000/8/2

【우선권주장료】	0	건	0	원
【심사청구료】	0	항	0	원
【합계】	29,000 원			
【첨부서류】	1. 요약서·명세서(도면)_1통			

**【요약서】****【요약】**

이 발명은 반도체패키지에 관한 것으로, MLF(Micro LeadFrame)형 반도체패키지에서 칩탑재판과 패키지몸체와의 접착력을 더욱 증강시키고, 또한 그라운드 본딩이 용이하게 실시되도록 다수의 입출력패드가 형성된 반도체칩과; 상기 반도체칩의 저면에 접착제로 접착되고, 하부 측면에는 할프에칭부가 형성된 칩탑재판과; 상기 칩탑재판의 외주연에 일정거리 이격되어 형성된 다수의 내부리드와; 상기 반도체칩의 입출력패드와 내부리드를 전기적으로 접속하는 도전성와이어와; 상기 반도체칩, 도전성와이어, 칩탑재판 및 내부리드 등을 봉지재로 봉지하되, 상기 칩탑재판 및 내부리드의 저면과 측면은 외부로 노출되도록 봉지하여 형성된 패키지몸체로 이루어진 반도체패키지에 있어서, 상기 칩탑재판은 측면의 할프에칭부에 다수의 장공이 더 형성된 것을 특징으로 하는 반도체패키지.

**【대표도】**

도 2a

### 【명세서】

#### 【발명의 명칭】

반도체패키지{semiconductor package}

#### 【도면의 간단한 설명】

도1a 및 도1b는 종래의 반도체패키지를 도시한 단면도 및 리드프레임에 반도체칩이 탑재되어 와이어본딩된 상태를 도시한 평면도이다.

도2a 및 도2b는 본 발명에 의한 반도체패키지를 도시한 단면도 및 리드프레임에 반도체칩이 탑재되어 와이어본딩된 상태를 도시한 평면도이다.

도3a 및 도3b는 본 발명에 의한 반도체패키지를 도시한 단면도 및 리드프레임에 반도체칩이 탑재되어 와이어본딩된 상태를 도시한 평면도이다.

#### - 도면중 주요 부호에 대한 설명 -

100; 반도체패키지      2; 반도체칩

2a; 입출력패드      4; 칩탑재판

4a; 칩탑재판의 할프에칭부      4b; 장공

4c; 텁      6; 내부리드

6a; 내부리드의 할프에칭부      8; 도전성와이어

10; 패키지몸체      20; 리드프레임

22; 몸체      24; 땜바

26; 외부리드      28; 타이바

30; 도금층

## 【발명의 상세한 설명】

### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 반도체패키지에 관한 것으로, 더욱 상세하게 설명하면 MLF(Micro LeadFrame)형 반도체패키지에서 칩탑재판과 패키지몸체와의 접착력을 더욱 우수하게 하 고, 또한 그라운드 본딩이 용이하게 실시된 반도체패키지에 관한 것이다.
- <15> 최근의 전자기기 예를 들면, 휴대폰, 셀룰러 폰, 노트북 등의 마더보드에는 많은 수의 반도체칩들이 패키징되어 최소 시간내에 그것들이 다기능을 수행할 수 있도록 설계 되는 동시에, 전자기기 자체가 초소형화 되어 가는 추세에 있다. 이에 따라 반도체칩이 고집적화됨은 물론, 이를 패키징한 반도체패키지의 크기도 축소되고 있으며, 또한 실장 밀도도 고밀도화되어 가고 있다.
- <16> 이러한 추세에 따라 최근에는 반도체칩의 전기적 신호를 마더보드로 전달해줌은 물론 마더보드(mother board) 상에서 일정한 형태로 지정되도록 하는 반도체패키지의 크기가 대략  $1 \times 1\text{mm} \sim 10 \times 10\text{mm}$  내외로 개발되고 있으며, 이러한 반도체패키지의 예로서 MLF(Micro LeadFrame)형 패키지 등이 알려져 있다.
- <17> 여기서 상기 MLF형 패키지(100')를 도1a에 도시하였고, 리드프레임(20')에 반도체 칩이 탑재되어 와이어본딩된 상태를 도1b에 도시하였다.
- <18> 도시된 바와 같이 상면에 다수의 입출력패드(2a)가 형성된 반도체칩(2)이 구비되어 있고, 상기 반도체칩(2)의 저면에는 접착제로 칩탑재판(4)이 접착되어 있다. 상기 칩탑 재판(4)은 측면 둘레에 할프에칭부(4a)가 형성되어 있고 모서리에는 외측으로 연장되고

역시 할프에칭부가 구비된 타이바(28)가 형성되어 있다. 상기 칩탑재판(4)의 외주연에는 방사상으로 배열되어 있으며 칩탑재판(4)을 향하는 단부에 할프에칭부(6a)가 형성된 다수의 내부리드(6)가 구비되어 있다. 상기 반도체칩(2)의 입출력패드(2a)와 내부리드(6)는 도전성와이어(8)에 의해 서로 전기적으로 접속되어 있다. 여기서, 도1a 좌측의 내부리드(6)에 본딩된 도전성와이어(8)는 신호용 또는 전원 공급용이고, 우측의 칩탑재판(4)에 본딩된 도전성와이어(8)는 그라운드용이다. 또한, 상기 칩탑재판(4) 및 내부리드(6)의 상면에는 상기 도전성와이어(8)와의 본딩을 용이하게 하기 위해 은(Ag)으로 일정두께의 도금층(30)이 형성되어 있다. 계속해서 상기 반도체칩(2), 도전성와이어(8), 칩탑재판(4) 및 내부리드(6)는 봉지재로 봉지되어 소정의 패키지몸체(10)를 형성하고 있으며, 상기 칩탑재판(4), 내부리드(6) 및 타이바(28)의 저면은 패키지몸체(10) 저면으로 노출되어 있다.

<19> 도면중 미설명 부호 20'은 리드프레임이고, 22는 리드프레임(20')의 프레임몸체이며, 26은 내부리드(6)에 연장된 외부리드이며, 24는 내부리드와 외부리드를 지지해주며 봉지공정중 봉지재가 외부리드쪽으로 방출되지 않도록 하는 댐바이다. 또한, 도1b에서 빛금친 부분은 저면이 할프에칭된 부분 즉, 칩탑재판, 내부리드 및 타이바에 형성된 할프에칭부이다.

<20> 그러나 상기와 같은 종래의 반도체패키지는 칩탑재판 및 내부리드의 상면에 은으로 일정두께의 도금층이 형성되어 있음으로써 패키지몸체와 상기 칩탑재판 및 내부리드의 상면 사이의 접착력이 저하되는 문제점이 있다. 즉, 은으로 형성된 도

금층과 봉지재로 형성된 패키지몸체는 그 접착력이 현저하게 약함으로써(재질이 구리(Cu)인 칩탑재판 및 내부리드의 측면 등은 패키지몸체와의 접착력이 비교적 양호함) 차후 반도체패키지의 완성후 계면 사이에서 박리 현상이 쉽게 유발되고, 또한 상기 박리된 부분으로는 수분이 쉽게 침투함으로써 결국 고온의 환경에서 반도체패키지가 크랙 또는 균열되는 문제점이 있다.

<21> 또한, 상기 반도체칩과 칩탑재판 등을 접지나 전기적 노이즈(noise) 해결을 위해 통상 도전성와이어로 그라운드 본딩되는데, 상기 반도체칩과 칩탑재판의 넓이가 비슷함으로써, 상기 그라운드 본딩 영역이 작아 본딩을 실시하는데 불편한 문제점이 있다.

#### 【발명이 이루고자 하는 기술적 과제】

<22> 따라서 본 발명은 상기와 같은 종래의 문제점을 해결하기 위해 안출한 것으로, 칩탑재판과 패키지몸체와의 접착력을 더욱 우수하게 하고, 또한 그라운드 본딩을 용이하게 실시할 수 있는 반도체패키지를 제공하는데 있다.

#### 【발명의 구성 및 작용】

<23> 상기한 목적을 달성하기 위해 본 발명에 의한 반도체패키지는 다수의 입출력패드가 형성된 반도체칩과; 상기 반도체칩의 저면에 접착제로 접착되고, 하부 측면에는 할프에 청부가 형성된 칩탑재판과; 상기 칩탑재판의 외주연에 일정거리 이격되어 형성된 다수의 내부리드와; 상기 반도체칩의 입출력패드와 내부리드를 전기적으로 접속하는 도전성와이어와; 상기 반도체칩, 도전성와이어, 칩탑재판 및 내부리드 등을 봉지재로 봉지하되, 상기 칩탑재판 및 내부리드의 저면과 측면은 외부로 노출되도록 봉지하여 형성된 패키지 몸체로 이루어진 반도체패키지에 있어서, 상기 칩탑재판은 측면의 할프에 청부에 결합력

강화수단이 더 형성된 것을 특징으로 한다.

<24> 여기서, 상기 결합력 강화수단은 다수의 장공일 수 있다. 또한 상기 결합력 강화수단은 할프에칭부 둘레 형성된 다수의 텁일 수도 있다.

<25> 상기와 같이 하여 본 발명에 의한 반도체패키지에 의하면, 칩탑재판의 할프에칭부에 결합력 강화수단인 다수의 장공 또는 텁이 형성됨으로써 패키지몸체와 더욱 강하게 인터락킹됨은 물론 접착면적이 넓어짐으로써 그 접착력 또한 증가된다. 더불어 반도체패키지의 제조 공정중 봉지 공정중에는 봉지재의 흐름성을 강화하기도 한다.

<26> 또한, 상기 칩탑재판의 할프에칭부 가장자리에 형성된 다수의 텁은 도전성와이어를 용이하게 그라운드 본딩할 수 있게 한다.

<27> 이하 본 발명이 속한 기술분야에서 통상의 지식을 가진 자가 본 발명을 용이하게 실시할 수 있을 정도로 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다.

<28> 먼저 도2a 및 도2b는 본 발명에 의한 반도체패키지(20)를 도시한 단면도 및 리드프레임(20)에 반도체칩이 탑재되어 와이어본딩된 상태를 도시한 평면도이다.

<29> 도시된 바와 같이 다수의 입출력패드(2a)가 형성된 반도체칩(2)이 구비되어 있고, 상기 반도체칩(2)의 저면에는 칩탑재판(4)이 접착제로 접착되어 되어 있고, 상기 칩탑재판(4)의 측면에는 할프에칭부(4a)가 형성되어 있다. 상기 칩탑재판(4)의 외주연에는 일정거리 이격되어서는 다수의 내부리드(6)가 형성되어 되어 있고, 상기 내부

리드(6)의 단부에는 할프에칭부(6a)가 형성되어 있고, 상기 반도체칩(2)의 입출력패드(2a)와 내부리드(6) 또는 칩탑재판(4)은 도전성와이어(8)로 연결되어 있다. 상기 반도체칩(2), 도전성와이어(8), 칩탑재판(4) 및 내부리드(6) 등은 봉지재로 봉지되어 있되, 상기 칩탑재판(4) 및 내부리드(6)의 저면과 측면은 외부로 노출되도록 봉지되어 패키지몸체(10)를 형성하고 있으며, 이상의 구조는 종래와 동일하다.

<30> 단, 본 발명은 상기 칩탑재판(4)의 할프에칭부(4a)에 결합력 강화수단인 다수의 장공(4b)이 형성된 것이 특징이다. 즉, 도2b에 도시된 바와 같이 칩탑재판(4)의 가장자리인 할프에칭부(4a)에 다수의 장공(4b)이 관통되어 형성된 것이다. 이러한 장공(4b)은 화학적 에칭 공정에서 형성 가능하다. 즉, 총체적인 리드프레임(20)의 패턴 형성시에 형성하거나, 또는 칩탑재판(4) 및 내부리드(6)에 할프에칭부(4a,6a)를 형성하는 공정에서 형성할 수 있다. 또한 상기 장공(4b)은 기계적 스템핑(stamping) 방법에 의해서도 형성 가능하며 이를 한정하는 것은 아니다.

<31> 상기와 같이 칩탑재판(4)에 형성된 장공(4b)은 패키지몸체(10)와의 인터락킹력을 향상시킴은 물론 접착면적을 크게 함으로써 그 패키지몸체(10)와의 접착력을 향상시키게 된다. 따라서 칩탑재판(4)과 패키지몸체(10)와의 계면 박리 현상을 저하시킬 수 있는 침투 현상도 억제하게 된다.

<32> 도3a 및 도3b는 본 발명에 의한 반도체패키지(20)를 도시한 단면도 및 리드프레임(20)에 반도체칩이 탑재되어 와이어본딩된 상태를 도시한 평면도이다.

<33> 도시된 바와 같이 칩탑재판(4)의 할프에칭부(4a)에는 일정 길이로 결합력 강

화수단인 다수의 텁(4c)이 형성되어 있다. 상기 텁(4c)의 길이는 길게 하면 할수록 바람직하나, 내부리드(6)의 단부와 쇼트되지 않도록 형성한다. 또한 그 갯수는 반도체칩(2)에서 그라운드용 입출력패드의 갯수와 대응되는 갯수로 형성함이 바람직하다. 또한 상기 텁(4c)도 에칭 공정에서 형성 가능한데, 이는 총체적인 리드프레임(20)의 패턴 형성 공정에서 동시에 형성함이 바람직하다.

<34> 상기와 같은 텁(4c)은 칩탑재판(4)의 부분적인 면적 또는 길이를 확장시켜줌으로써 도전성와이어(8)와의 본딩이 용이하게 실시되도록 한다. 물론, 패키지몸체와의 결합력을 강화시켜 주기도 한다.

<35> 여기서, 상기 장공(4b)이 형성된 칩탑재판(4) 및 텁(4c)이 형성된 칩탑재판(4)은 각기 다른 도면을 이용하여 설명하였지만, 상기 장공(4b) 및 텁(4c)이 동시에 형성된 칩탑재판(4) 또한 가능하며, 상기와 같이 어느 한 종류의 칩탑재판(4)으로 한정하는 것은 아니다.

<36> 이상에서와 같이 본 발명은 비록 상기의 실시예에 한하여 설명하였지만 여기에만 한정되지 않으며, 본 발명의 범주 및 사상을 벗어나지 않는 범위내에서 여러가지로 변형된 실시예도 가능할 것이다.

### 【발명의 효과】

<37> 따라서 본 발명에 의한 반도체패키지에 의하면, 칩탑재판의 할프에칭부에 결합력 강화수단은 다수의 장공 및 텁이 형성됨으로써 패키지몸체와 더욱 강하게 인터락킹됨은 물론 접착면적이 넓어짐으로써 그 패키지몸체와 접착력 또한 증가된다. 더불어 반도체패키지의 제조 공정중 봉지 공정중에 봉지재의 흐름성을 강화하기도 한다.

<38> 또한, 상기 칩탑재판의 할프에 청부 가장자리에 형성된 다수의 텁은 도전성와이어를 더욱 용이하게 그라운드 본딩할 수 있게 한다.

↑

↗

↖

**【특허청구범위】****【청구항 1】**

다수의 입출력패드가 형성된 반도체칩과; 상기 반도체칩의 저면에 접착제로 접착되고, 하부 측면에는 할프에칭부가 형성된 칩탑재판과; 상기 칩탑재판의 외주연에 일정거리 이격되어 형성된 다수의 내부리드와; 상기 반도체칩의 입출력패드와 내부리드를 전기적으로 접속하는 도전성와이어와; 상기 반도체칩, 도전성와이어, 칩탑재판 및 내부리드 등을 봉지재로 봉지하되, 상기 칩탑재판 및 내부리드의 저면과 측면은 외부로 노출되도록 봉지하여 형성된 패키지몸체로 이루어진 반도체패키지에 있어서,

상기 칩탑재판은 측면의 할프에칭부에 결합력 강화수단이 더 형성된 것을 특징으로 하는 반도체패키지.

**【청구항 2】**

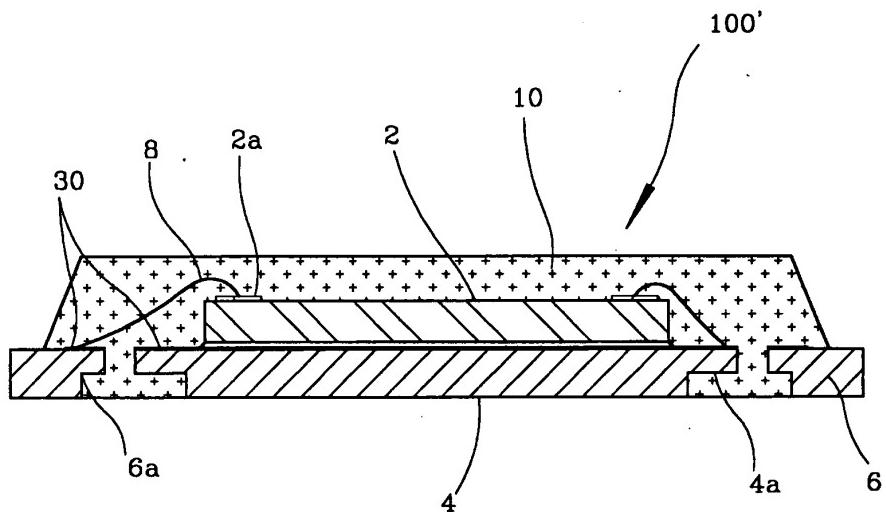
제1항에 있어서, 상기 결합력 강화수단은 다수의 장공인 것을 특징으로 하는 반도체패키지.

**【청구항 3】**

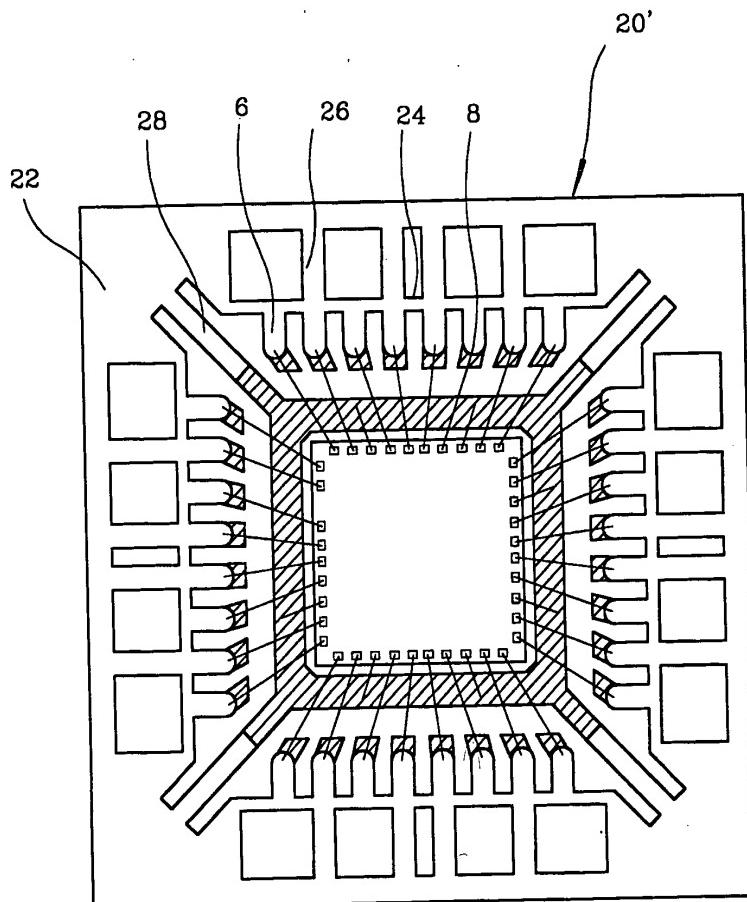
제1항에 있어서, 상기 결합력 강화수단은 할프에칭부 둘레 형성된 다수의 탭인 것을 특징으로 하는 반도체패키지.

## 【도면】

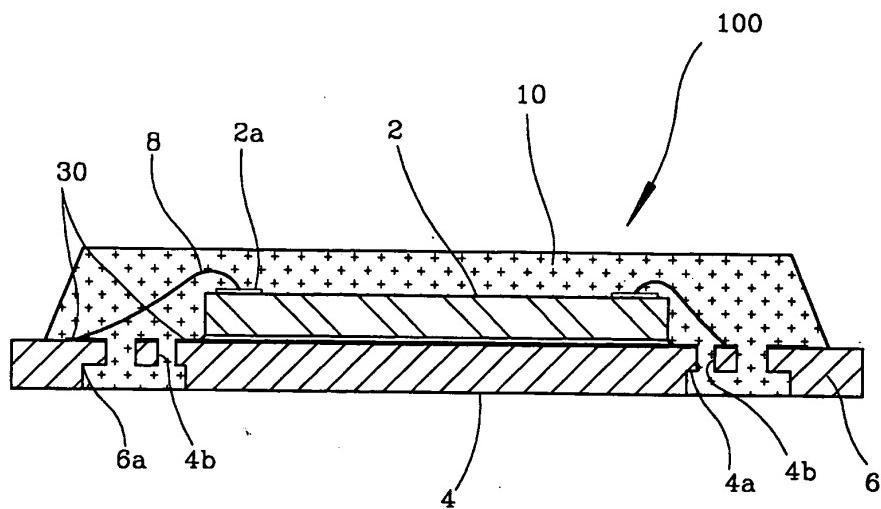
【도 1a】



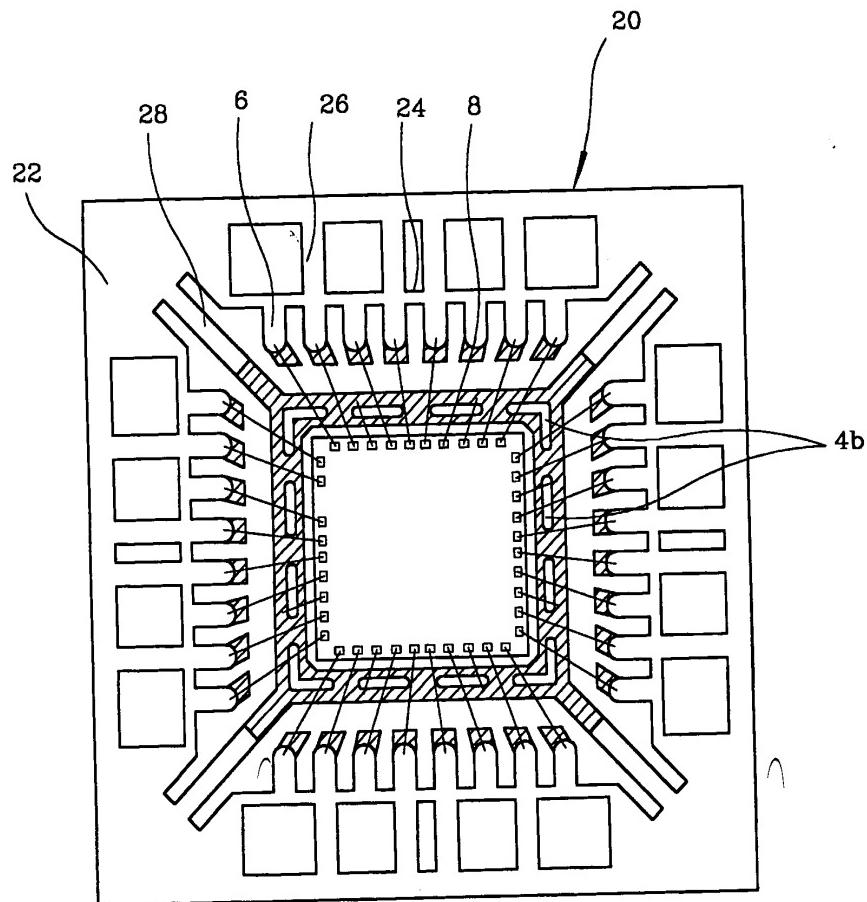
【도 1b】



【도 2a】



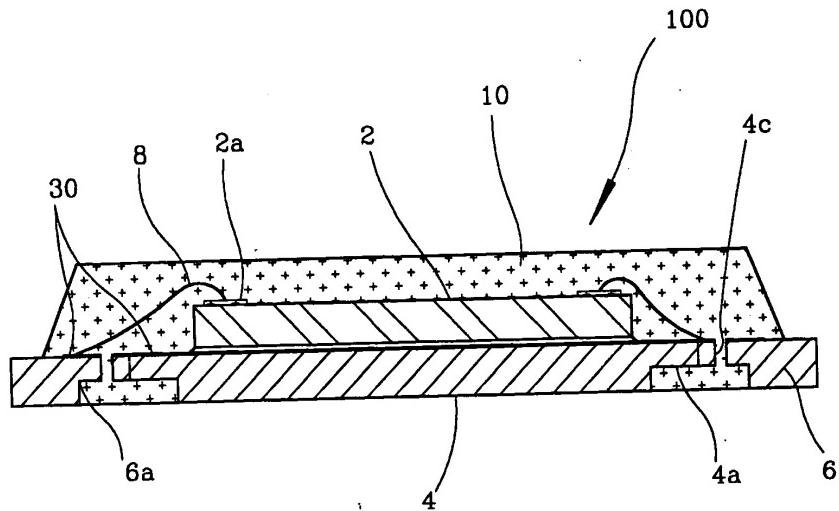
【도 2b】



2000/8/2

1019990044653

【도 3a】



2000/8/2

1019990044653

【도 3b】

